

PATENT
Docket No.: 12377/7

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

APPLICANT : Makoto Ogawa et al.
SERIAL NO. : Unassigned
FILED : Herewith
FOR : SEMICONDUCTOR CIRCUIT

COMMISSIONER FOR PATENTS
P.O. BOX 1450
Alexandria, VA 22313-1450
ATTN: Manager, Application Division

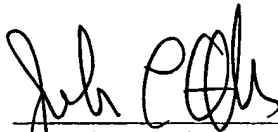
CLAIM TO CONVENTION PRIORITY UNDER 35 U.S.C. § 119

SIR:

The Convention Priority Date of Japanese Patent Application No. 2003-039740 filed in Japan on February 18, 2003, was claimed in the Declaration/Power of Attorney filed herewith. To complete the claim to the Convention Priority Date of said Japanese Patent Applications, a certified copy thereof is submitted herewith.

Respectfully submitted,

Dated: February 18, 2004



John C. Altmiller
(Reg. No. 25,951)

KENYON & KENYON
1500 K Street, N.W., Suite 700
Washington, DC 20005-1257
Tel: (202) 220-4200
Fax: (202) 220-4201
484362_1.DOC

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 2月18日
Date of Application:

出願番号 特願2003-039740
Application Number:

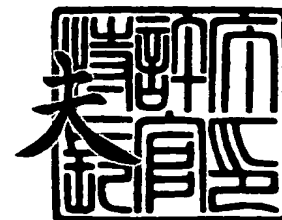
[ST. 10/C]: [JP 2003-039740]

出願人 小川 誠
Applicant(s): 柴田 直
ローム株式会社

2004年 1月 6日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



【書類名】 特許願

【整理番号】 XY030110

【提出日】 平成15年 2月18日

【あて先】 特許庁長官殿

【国際特許分類】 H04B 17/00

【発明の名称】 半導体回路

【請求項の数】 6

【発明者】

 【住所又は居所】 東京都文京区根津 2 - 1 1 - 1 1 - 3 0 1

 【氏名】 小川 誠

【発明者】

 【住所又は居所】 東京都江東区越中島 1 - 3 - 1 6 - 4 1 1

 【氏名】 柴田 直

【特許出願人】

 【住所又は居所】 東京都文京区根津 2 - 1 1 - 1 1 - 3 0 1

 【氏名又は名称】 小川 誠

【特許出願人】

 【識別番号】 591022117

 【氏名又は名称】 柴田 直

【特許出願人】

 【識別番号】 000116024

 【氏名又は名称】 ローム株式会社

【代理人】

 【識別番号】 100090273

 【弁理士】

 【氏名又は名称】 國分 孝悦

 【電話番号】 03-3590-8901

**【手数料の表示】****【予納台帳番号】** 035493**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 0104942**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体回路

【特許請求の範囲】

【請求項 1】 少なくとも 1 つの入力ノードと 1 つの出力ノードとを含む 3 つ以上のノードと、

前記 3 つ以上のノード間に接続され、各ノード間の信号伝播方向が規定されている複数のパスと、

前記各パスの信号伝播時間を規定するための信号伝播時間規定手段と、

前記入力ノードに所定の入力信号を入力する入力手段と、

前記入力信号が前記パスを伝播して、前記出力ノードに到達するのに要する時間を検出する検出手段と

を有する半導体回路。

【請求項 2】 前記ノードは、自己に接続されるパスを介して入力される信号が複数あるときには、自己に接続されるパスを介して入力される信号のうち一番最初又は一番最後に到達する信号のパスを特定して記憶する記憶手段を有する請求項 1 記載の半導体回路。

【請求項 3】 前記ノードに 3 つのパスを介して 3 つの信号が入力されるときには、該ノードの前記記憶手段は、3 つのパスを介して入力される 3 つの信号をそれぞれ 1 つずつ入力する 3 つの 3 入力否定論理積回路を有し、該各否定論理積回路は、さらに他の 2 つの否定論理積回路の出力を入力する請求項 2 記載の半導体回路。

【請求項 4】 前記複数のパスのうちの少なくとも 1 つのパスの信号伝播時間規定手段は、2 つのマッチング対象信号の一致度又は類似度に応じて信号伝播時間を変化させる請求項 2 記載の半導体回路。

【請求項 5】 前記ノードは、2 次元格子状に配置される請求項 4 記載の半導体回路。

【請求項 6】 前記検出手段は、前記検出する出力ノード到達時間に応じて 2 つのマッチング対象信号の一致度又は類似度を検出し、前記記憶手段に記憶されるパスを特定することにより前記一致度又は類似度に対応する最短パス又は最

長パスを検出してダイナミックプログラミングマッチングを行う請求項5記載の半導体回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体回路に関し、特に信号伝播時間を検出する半導体回路に関する。

【0002】

【従来の技術】

図2 (A) は、通常ベクトルマッチングアルゴリズムを示す。マッチングでは、入力パターン I N P がテンプレートパターン T E M に対してどの位類似しているかを検出する。例えば、入力パターン I N P 及びテンプレートパターン T E M は、縦軸が音声データ値であり、横軸が時間である。この通常ベクトルマッチングでは、入力パターン I N P とテンプレートパターン T E M とを、対応する横軸値毎に差分 D I F を求める。差分 D I F は、両者の差分の絶対値で表される。この差分 D I F が小さいほど、入力パターン I N P がテンプレートパターン T E M に類似していると言える。

【0003】

この際、入力パターン I N P は、横軸に対してデータ数が多少増減することはよくあることである。すなわち、ある時間軸のデータが欠落したり、データが挿入されたりすることがある。この場合でも、人間は、入力パターン I N P とテンプレートパターン T E M との全体的パターンが似ているか否かで類似度を判断している。

【0004】

しかし、この通常ベクトルマッチングは、入力パターン I N P が横軸に対してデータ数が1つでも増減すると、両者の横軸の対応関係がとれなくなり、両者の類似度が極めて小さくなってしまう。そこで、図2 (B) のアルゴリズムが考えられている。

【0005】

図2 (B) は、DP (ダイナミックプログラミング) マッチングアルゴリズムを示す。DPマッチングでは、入力パターンINPとテンプレートパターンTEMとを比較する際に、厳密に横軸の対応関係を規定せずに比較を行う。すなわち、入力パターンINP及びテンプレートパターンTEMを横軸方向で移動可能にして、両者を比較する。これにより、両者の差分DIFは小さくなる。すなわち、図2 (A) の通常ベクトルマッチングでは差分DIFが大きくなる場合であっても、図2 (B) のDPマッチングでは差分DIFが小さくなり、適正なマッチングを行うことができる。

【0006】

【発明が解決しようとする課題】

DPマッチングは、入力パターンINP及びテンプレートTEMの横軸を移動可能にして両者を比較するので、多数の比較組み合わせが存在する。その比較組み合わせのうちで最も類似している組み合わせの差分DIFを求めるものである。これを実現するには、多数の組み合わせの比較を行わなければならないため、処理時間に膨大な時間を要する。

【0007】

本発明の目的は、高速にDPマッチングを行うことができる半導体回路を提供することである。

【0008】

【課題を解決するための手段】

本発明の半導体回路は、少なくとも1つの入力ノードと1つの出力ノードとを含む3つ以上のノードと、前記3つ以上のノード間に接続され、各ノード間の信号伝播方向が規定されている複数のパスと、前記各パスの信号伝播時間を規定するための信号伝播時間規定手段と、前記入力ノードに所定の入力信号を入力する入力手段と、前記入力信号が前記パスを伝播して、前記出力ノードに到達するのに要する時間を検出する検出手段とを有する。

【0009】

本発明によれば、各パスの信号伝播時間を規定し、入力信号がパスを伝播して出力ノードに到達する時間を検出することができる。2つのマッチング対象信号

の一致度又は類似度に応じて各パスの信号伝播時間を規定すれば、出力ノード到達時間に応じて両者の一致度又は類似度を検出することができる。また、この際、信号の最短パス又は最長パスを検出すれば、その一致度又は類似度に対応する最短パス又は最長パスの比較組み合わせを検出することができる。

【0010】

【発明の実施の形態】

図1は、本発明の実施形態によるDP（ダイナミックプログラミング）マッチングを行うための最短パス検出方法を示す。入力パターンINPとテンプレートパターンTEMとのDPマッチングを行い、両者が最も類似している比較組み合わせを最短パス112として検出する。入力パターンINPとテンプレートTEMの比較組み合わせを、2次元格子状のパス群111で表現する。各格子は、入力パターンINP内の1要素データとテンプレートパターンTEM内の1要素データとを比較するためのパスである。両者の類似度が大きいときには距離が短く、両者の類似度が小さいときには距離が長い。各格子の接続点をノードとする。スタートノード（入力ノード）STARTに入力信号を入力し、ゴールノード（出力ノード）GOALに出力される信号を検出する。入力信号は、複数のパスの組み合わせを経由してゴールノードGOALに到達する。ゴールノードGOALには、最短パス112を経由した信号が、一番最初に到達する。この最短パス112が最も類似度が大きい比較組み合わせを示す。信号が最短パス112を通過してゴールノードGOALに一番最初に到達した時間が類似度を示す。伝播時間が短いほど、類似度が大きいことになる。以下、より具体的な説明を行う。

【0011】

図3は、より具体的な最短パス検出方法を示す図である。入力パターン301は、例えば「other」の文字列である。テンプレートパターン302は、例えば「mother」の文字列である。両者の文字列のマッチングを行う例を説明する。入力パターン301とテンプレートパターン302の比較組み合わせを、2次元格子状のパス群311で表現する。各格子は、入力パターン301内の1文字とテンプレートパターン302内の1文字とを比較するためのパスである。例えば、両者が一致しているときの距離を「0」とし、両者が一致していない

ときの距離を「+1」とする。各格子には、右方向矢印の第1のパスと、下方向矢印の第2のパスと、右下方向矢印の第3のパスがある。スタートノードSTARTに入力信号を入力することにより、スタートノードSTARTから信号伝播が開始する。

【0012】

まず、スタートノードSTARTの右下方向のパスについて説明する。右下方向のパスは、入力パターン301とテンプレートパターン302をそれぞれ1文字ずらすパスを示す。すなわち、スタートノードSTARTにおいて、まず入力パターン301の「o」とテンプレートパターン302の「m」を比較する。両者は不一致であるので、距離は「+1」になり、右下方向のパスを通り、次の比較対象が入力パターン301の「t」とテンプレートパターン302の「o」になる。

【0013】

次に、スタートノードSTARTの下方向のパスについて説明する。下方向のパスは、テンプレートパターン302をずらさずに入力パターン301のみを1文字ずらすパスを示す。すなわち、スタートノードSTARTにおいて、入力パターン301の「o」とテンプレートパターン302の「m」の比較を行わずに、入力パターン301を1文字ずらす。比較を行わないので、距離は「+1」になり、下方向のパスを通り、次の比較対象が入力パターン301の「t」とテンプレートパターン302の「m」になる。すなわち、テンプレート302については、比較を行わずに同じ文字を次の入力パターン301と比較するためのギャップを設ける。このギャップを「_」で表現すると、このパスは入力パターン301の「ot」とテンプレートパターン302の「_m」とが比較対象になる。

【0014】

次に、スタートノードSTARTの右方向のパスについて説明する。右方向のパスは、入力パターン301をずらさずにテンプレートパターン302のみを1文字ずらすパスを示す。すなわち、スタートノードSTARTにおいて、入力パターン301の「o」とテンプレートパターン302の「m」の比較を行わずに、テンプレートパターン302を1文字ずらす。比較を行わないので、距離は「

+1」になり、右方向のパスを通り、次の比較対象が入力パターン301の「o」とテンプレートパターン302の「o」になる。すなわち、入力パターン301についてはギャップを設けるので、このパスは入力パターン301の「_o」とテンプレートパターン302の「mo」とが比較対象になる。以下、これに続く、最短パス312を説明する。

【0015】

その後、入力パターン301の「o」とテンプレートパターン302の「o」とを比較し、両者が一致しているので、距離を「0」にして、右下方向のパスに進む。その後、同様に、入力パターン301の「ther」とテンプレートパターン302の「ther」とを順次比較し、それぞれ両者が一致しているので、距離「0」として右下方向のパスに進む。このパスが最短パス312として、ゴールノードGOALに最短で到達する。最短パス312の合計距離は「+1」になり、これが類似度（非類似度）に相当する。

【0016】

ここで、縦方向のパスは、テンプレートパターン302のギャップに相当するので、縦方向のパスはすべて距離が「+1」になる。また、横方向のパスは、入力パターン301のギャップに相当するので、横方向のパスもすべて距離が「+1」になる。これに対し、右下方向のパスは、両者の文字が一致していれば距離が「0」になり、両者の文字が一致していなければ距離が「+1」になる。すなわち、右下方向のパスは、両者の一致度に応じて距離が変化する。

【0017】

図4は、上記の各格子の半導体回路構成を示す。各パスの接続点のノードには、ノード回路401が設けられる。ノード回路401は、例えば3入力3出力の論理和（OR）回路を含む。この格子回路では、上記の距離を遅延時間として表現する。下方向のパス及び右方向のパスの「+1」の距離は、遅延回路402の遅延時間で表される。右下方向のパスの距離は、可変遅延回路403の遅延時間で表される。可変遅延回路は、両者の文字の一致度に応じて遅延時間が変わる。距離が長いほど、遅延時間が長くなる。

【0018】

図5は、図4のノード回路401の構成例を示す。ノード回路401は、3入力OR回路501及び最短パス記憶回路510を有する。OR回路501は、例えば3つのパスから入力される3つの信号SA, SB, SCを入力し、それらの論理和を他の3つのノードに出力する。

【0019】

最短パス記憶回路510は、3つの3入力否定論理積（NAND）回路511～513及びpチャネルMOSトランジスタ514～516を有する。NAND回路511は、信号SAを入力すると共にNAND回路512及び513の出力信号を入力し、それらの否定論理積を出力する。NAND回路512は、信号SBを入力すると共にNAND回路511及び513の出力信号を入力し、それらの否定論理積を出力する。NAND回路513は、信号SCを入力すると共にNAND回路511及び512の出力信号を入力し、それらの否定論理積を出力する。すなわち、各NAND回路は、3つのパスを介して入力される3つの信号SA, SB, SCをそれぞれ1つずつ入力すると共に、他の2つのNAND回路の出力を入力する。

【0020】

最短パス記憶回路510は、3つの信号SA, SB, SCのうちで一番速く到達する信号のパスを特定して記憶する。最短パス検出前には、スタートノードSTARTの入力信号はローレベルになっており、最短パス検出中は入力信号をハイレベルにする。その入力信号がローレベルのときには、信号SA, SB, SCはすべてローレベルである。その結果、3つのNAND回路511～513は、すべてハイレベルを出力する。

【0021】

次に、スタートノードSTARTにハイレベルの入力信号が入力されると、3つの信号SA, SB, SCが所定の遅延時間を持ってハイレベルになる。最短パス回路510は、3つの信号SA, SB, SCのうちで一番最初にハイレベルになった信号のパスを記憶することができる。

【0022】

例えば、信号SAが一番最初にハイレベルになり、その他の信号SB及びSC

が未だローレベルであるとする。その場合、NAND回路511がローレベルを出力し、NAND回路512及び513がハイレベルの出力を維持する。この後、信号SB及びSCがハイレベルに変化しても、最小パス記憶回路510は、この状態を維持して記憶し続ける。すなわち、NAND回路511の出力がローレベルとして他のNAND回路512及び513に入力されるので、信号SB及びSCがその後にハイレベルになったとしても、NAND回路512及び513はハイレベルを出力し続ける。

【0023】

最短パス記憶回路510は、3つのNAND回路511～513のうちのいずれか1つがローレベルを出力する。どのNAND回路の出力がローレベルであるのかを調べることにより、3つの信号SA, SB, SCのうちのどの信号のパスが一番最初に到達したのかを知ることができる。NAND回路511の出力がローレベルであれば信号SAが一番最初に到達し、NAND回路512の出力がローレベルであれば信号SBが一番最初に到達し、NAND回路513の出力がローレベルであれば信号SCが一番最初に到達したことが分かる。この最短パス記憶回路510を用いることにより、図3において、ゴールノードGOALからパスを遡ることにより、最短パス312を検出することができる。すなわち、最短パス記憶回路510に記憶されているパスをたどることにより、最短パスを知ることができる。

【0024】

トランジスタ514～516は、ゲートがリセット信号RSに接続され、ソースが電源電位に接続され、ドレインがそれぞれNAND回路511, 512, 513の出力端子に接続される。最短パス検出を行う前に、スタートノードSTARTの入力信号をローレベルにし（信号SA, SB, SCをローレベルにし）、リセット信号RSをローレベルにして、トランジスタ514～516をオンさせる。NAND回路511～513の出力は、電源電位に接続され、ハイレベルにリセットされる。最短パス検出中は、リセット信号をハイレベルにし、トランジスタ514～516をオフさせる。なお、トランジスタ514～516を削除し、スタートノードSTARTの入力信号をローレベル（信号SA, SB, SCを

ローレベル) にすることにより、NAND回路511～513の出力をハイレベルにリセットさせるようにしてもよい。

【0025】

なお、図5では3入力3出力のノード回路401の構成を説明したが、1入力又は2入力のノード回路も同様に構成することができる。

【0026】

図6(A)は、図4の可変遅延回路403の構成例を示す。可変遅延回路403は、偶数個(例えば4個)のインバータ601を直列に接続し、入力端子INに入力される信号を遅延させて出力端子OUTから出力させる。各インバータ601は、所定の遅延時間を持つ論理否定信号を出力する。スイッチ602は、制御信号CTLに応じて、偶数個(例えば2個)のインバータ601をバイパスしてショートさせる。制御信号CTLは、両者の文字が一致していればスイッチ602を閉じ、一致していなければスイッチ602を開く。すなわち、両者の文字が一致していなければ4個のインバータ601に相当する遅延時間を付与して出力端子OUTから信号を出力する。両者の文字が一致していれば2個のインバータ601に相当する遅延時間を付与して出力端子OUTから信号を出力する。

【0027】

図6(B)は、上記の各インバータ601の構成例を示す。pチャネルMOSトランジスタは、ゲートが入力端子611に接続され、ソースが電源電位に接続され、ドレインが出力端子615に接続される。nチャネルMOSトランジスタ613は、ゲートが入力端子611に接続され、ソースがグランド電位に接続され、ドレインが出力端子615に接続される。容量614は、出力端子615とグランド電位との間に接続される。このインバータは、入力端子611に入力される信号に所定の遅延時間を付与し、その論理否定信号を出力端子615から出力する。

【0028】

図6(C)は、図4の可変遅延回路403の他の構成例を示す。この可変遅延回路403は、図6(B)のインバータに対してnチャネルMOSトランジスタ621を追加したものである。トランジスタ621は、ゲートが制御端子622

に接続され、ソースがグランド電位に接続され、ドレインがトランジスタ 613 のソースに接続される。制御端子 622 には、両者の文字の一致度に応じて大きくなる制御電圧が入力される。制御端子 622 の電圧が大きいほど、遅延時間が小さくなる。

【0029】

なお、図 4 の遅延回路 402 も上記と同様に遅延時間を固定させたものとして構成することができる。

【0030】

図 7 は、図 4 の格子回路のより具体的な構成例を示す。比較選択回路 701 は、図 4 のノード回路 401 に相当する。遅延回路 702 は、図 4 の遅延回路 402 に相当する。遅延回路 703 及びセクタ 704 は、図 4 の可変遅延回路 403 に相当する。

【0031】

各格子回路は、上記のように、例えば入力パターンの 1 文字とテンプレートパターンの 1 文字とを比較する。アルファベットの 1 文字は、通常、7 ビット又は 8 ビットの文字コードで表現されるので、その文字コードを比較する。図 7 では、説明の簡単のため、1 文字が 2 ビットで表現される例を説明する。

【0032】

左上の格子回路は、入力パターンの 2 ビットコード X1, X0 (例えば図 3 の「o」) とテンプレートパターンの 2 ビットコード A1, A0 (例えば図 3 の「m」) とを比較する。右上の格子回路は、入力パターンの 2 ビットコード X1, X0 (例えば図 3 の「o」) とテンプレートパターンの 2 ビットコード B1, B0 (例えば図 3 の「o」) とを比較する。左下の格子回路は、入力パターンの 2 ビットコード Y1, Y0 (例えば図 3 の「t」) とテンプレートパターンの 2 ビットコード A1, A0 (例えば図 3 の「m」) とを比較する。右下の格子回路は、入力パターンの 2 ビットコード Y1, Y0 (例えば図 3 の「t」) とテンプレートパターンの 2 ビットコード B1, B0 (例えば図 3 の「o」) とを比較する。

【0033】

次に、左上の格子回路の動作例を説明する。否定排他的論理和（XNOR）回路 705 は、1 ビット信号 X0 及び 1 ビット信号 A0 の XNOR を演算して出力する。XNOR 回路 706 は、1 ビット信号 X1 及び 1 ビット信号 A1 の XNOR を演算して出力する。XNOR 回路 705 及び 706 は、2 入力信号が同じ信号であればハイレベル（論理値「1」）を出力し、異なる信号であればローレベル（論理値「0」）を出力する。論理積（AND）回路 707 は、XNOR 回路 705 及び 706 の出力の論理積を演算して出力する。AND 回路 707 は、2 入力信号が共にハイレベルのときにハイレベルを出力する論理回路である。

【0034】

セクタ 704 は、AND 回路 707 の出力がハイレベルであれば信号 S2 を右下の比較選択回路 701 に出力し、AND 回路 707 の出力がローレベルであれば信号 S1 を右下の比較選択回路 701 に出力する。信号 S1 は、左上の比較選択回路 701 の出力信号が遅延回路 703 により遅延させられた信号である。信号 S2 は、左上の比較選択回路 701 の出力信号そのものである。すなわち、入力パターンの 2 ビットコード X1, X0 とテンプレートパターンの 2 ビットコード A1, A0 とが一致していなければセクタ 704 は遅延した信号 S1 を出力し、一致していればセクタ 704 は遅延していない信号 S2 を出力する。

【0035】

上記の信号 S2 のパスのように、ノード間を接続するパスには必ずしも遅延回路を設ける必要がなく、信号伝播時間を調整するための手段があればよい。

【0036】

図 8 は、本発明の他の実施形態による DP マッチングを行うための最短パス検出半導体回路を示す。デジタルパルス変換器 802 は、入力パターンのデジタル入力を所定のパルスに変換し、格子回路網 804 の各格子にパルスを供給する。デジタルパルス変換器 803 は、テンプレートパターンのデジタル入力を所定のパルスに変換し、格子回路網 804 の各格子にパルスを供給する。格子回路網 804 は、相関器及び最短パス検索回路を含む。最短パス検索開始信号入力回路 801 は、最短パス検索開始信号を格子回路網 804 のスタートノードに入力する。回路網 804 は、スタートノードに入力された開始信号を伝播し、ゴール

ノードから出力する。遅延—デジタル変換器 805 は、スタートノードに入力された開始信号とゴールノードから出力された出力信号との間の遅延時間を基に、距離デジタル値に変換する。この距離デジタル値は、入力パターン及びテンプレートパターンの非類似度に相当する。

【0037】

図9は、図8の格子回路網804の具体的回路例を示す。比較選択回路901は、図4のノード回路401に相当する。遅延回路902は、図4の遅延回路402に相当する。可変遅延回路903は、図4の可変遅延回路403に相当する。左上のスタートノードの比較選択回路901には、検索開始信号911が入力される。検索開始信号911がローレベルからハイレベルに変化することにより、最短パスの検索が開始される。デジタル—パルス変換回路802及び803は、所定のパルスを出力する。このパルスは、多次元ベクトルデータの各ベクトル要素値によってパルス位置が決まり、それぞれのパルス幅は例えば固定値である。その詳細は、後に説明する。AND回路904は、デジタル—パルス変換回路802が出力する入力パターンのパルスとデジタル—パルス変換回路803が出力するテンプレートパターンのパルスとの論理積を演算して出力する。すなわち、AND回路904は、両者のパルスが共にハイレベルの期間だけハイレベルを出力し、それ以外はローレベルを出力する。AND回路904の出力のパルス幅が類似度（相関値）に相当する。可変遅延回路903は、左上の比較選択回路901の出力信号を遅延させて、右下の比較選択回路901に出力する。具体的には、可変遅延回路903は、AND回路904の出力のパルス幅が大きいほど、遅延時間が短い信号を出力する。

【0038】

図10は、図8及び図9のデジタル—パルス変換回路802及び803の構成例を示し、図11はその回路動作を示すタイミングチャートである。リセット信号RSは、リセット期間1101の間だけハイレベルになる。変換開始信号STは、リセット期間1101の後にハイレベルになり、変換開始を指示する。パルス出力信号OUTでは、変換開始信号STがハイレベル後のパルス位置1102でハイレベルになるパルスが発生する。そのパルスは、パルス幅1103を持つ

。例えば、パルス位置 1102 は図 2 (B) の縦軸の数値により決まり、パルス幅 1103 は相関範囲を示す。詳細は、後に図 15 を参照しながら説明する。

【0039】

デジタルー遅延変換回路 1001a 及び 1001b は、同じ構成を有し、リセット信号 RS を入力する。この回路 1001a 及び 1001b の具体的構成は、後に図 12 を参照しながら説明する。デジタルー遅延変換回路 1001b は、デジタル入力端子にパルス位置デジタル値 PP を入力し、出力イネーブル端子に変換開始信号 ST を入力する。パルス位置デジタル値 PP は、図 11 のパルス位置 1102 に相当する。デジタルー遅延変換回路 1001a は、デジタル入力端子にパルス幅デジタル値 PW を入力し、出力イネーブル端子にデジタルー遅延変換回路 1001b の出力を入力する。パルス幅デジタル値 PW は、図 11 のパルス幅 1103 に相当する。インバータ 1002 は、デジタルー遅延変換回路 1001a の出力信号の論理否定信号を出力する。AND 回路 1003 は、デジタルー遅延変換回路 1001b の出力信号とインバータ 1002 の出力信号との論理積を演算し、パルス出力信号 OUT として出力する。

【0040】

図 12 は、図 10 のデジタルー遅延変換回路 1001a 及び 1001b の構成例を示す。デコーダ 1201 は、N ビットのデジタル入力信号に対し、 2^N 個の出力信号を生成する。具体的には、デジタル入力値により唯一の出力がハイレベルになり、他の出力がローレベルになる。

【0041】

3 状態インバータ 1202 及び 1203 は、制御端子がローレベルの時、出力がハイインピーダンス状態となり、ハイインピーダンス状態であれば出力は直前のレベルを保持する。また、3 状態インバータ 1202 及び 1203 は、制御端子がハイレベルの時、入力を論理否定して出力する。

【0042】

インバータ 1204 は、リセット信号 RS の論理否定信号を出力する。AND 回路 1205 は、インバータ 1204 の出力信号と出力イネーブル信号との論理積を演算して出力する。3 状態インバータ 1203 の制御端子には AND 回路 1

205の出力信号が供給され、3状態インバータ1202の制御端子にはリセット信号RSが供給される。

【0043】

デコーダ1201の出力は、リセット用3状態インバータ1202を通して、3状態インバータ1203の出力線に出力される。リセット信号RSがハイレベルになり、デコーダ1201の各出力の論理否定が各3状態インバータ1203の各出力端子の初期値としてリセットされる。すなわち、その初期値は、唯一の出力端子がローレベルになり、残りのすべての出力端子がハイレベルにリセットされる。AND回路1206は、インバータ1208の最終段の出力信号と出力イネーブル信号との論理積を演算して出力端子から出力信号として出力する。

【0044】

図13は、図9の遅延回路902の構成例を示す。遅延回路902は、偶数段のインバータ1301を直列に接続することにより構成することができる。

【0045】

図14は、図9の可変遅延回路903の構成例を示し、図15はその回路動作を示すタイミングチャートである。インバータ1403は、リセット信号の論理否定信号を出力する。複数のpチャネルMOSトランジスタ1404は、ゲートがインバータ1403の出力に接続され、ソースが電源電位に接続され、ドレインが3状態インバータ1405の各出力端子に接続される。AND回路904は、相関器に相当し、図9のAND回路904に対応する。AND回路904において、一方の入力を信号Xとし、他方の入力を信号Yとして表す。論理和(OR)回路1401は、入力信号とAND回路904の出力信号との論理和を演算して出力する。AND回路1402は、インバータ1403の出力信号とOR回路1401の出力信号との論理積を演算して3状態インバータ1405の制御端子に出力する。AND回路1406は、入力信号とインバータ1408の最終段の出力信号との論理積を演算して出力する。

【0046】

図15において、リセット期間1501では、リセット信号がハイレベルになる。次に、相関演算期間1502では、信号X及び信号Yのパルスが発生する。

次に、距離評価期間 1503 では、入力信号及び出力信号が生じる。出力信号は、信号 X 及び信号 Y の相関度に応じて、入力信号に遅延時間が付与された信号である。

【0047】

信号 X のパルスは、例えば音声データ数値が 15 のパルス位置であって、パルス幅が 5 であるとする。信号 Y のパルスは、例えば音声データ数値が 19 のパルス位置であって、パルス幅が 5 であるとする。すると、信号 X と信号 Y とのパルスの重なりが 1 になり、信号 X 及び信号 Y の相関値（類似度）が 1 になる。例えば、信号 X 及び信号 Y が共に音声データ数値が 15 のパルス位置であれば、両者のパルスが重なる相関値が 5 になる。このように、AND 回路（相関器）904 が信号 X 及び信号 Y の論理積を演算することにより、信号 X の数値と信号 Y の数値との差分の絶対値 $|X - Y|$ に相当する相関値（非類似度）を求めることができる。

【0048】

リセット期間 1501 では、リセット信号がハイレベルになると、3 状態インバータ 1405 の出力がハイレベルに設定される。リセット直後は、これが維持される。次に、相関演算期間 1502 では、信号 X 及び信号 X のパルスが一致している期間は 3 状態インバータ 1405 の制御端子にハイレベルが供給される。次に、距離評価期間 1503 では、入力信号が伝播した後は、所定の遅延時間で出力信号が出力する。信号 X 及び信号 Y のパルスが一致している期間が長いほど、短い遅延時間を持つ出力信号が出力される。

【0049】

図 16 は、図 8 の遅延—デジタル変換器 805 の構成例を示す。インバータ 1604 は、リセット信号の論理否定信号を出力する。複数の p チャネル MOS トランジスタ 1605 は、ゲートがインバータ 1604 の出力に接続され、ソースが電源電位に接続され、ドレインが 3 状態インバータ 1606 の各出力端子に接続される。インバータ 1601 は、終了信号の論理否定信号を出力する。AND 回路 1602 は、開始信号及びインバータ 1601 の出力信号の論理積を演算して出力する。AND 回路 1603 は、インバータ 1604 の出力及び AND 回路

1602の出力の論理積を演算し、3状態インバータ1606の制御端子に出力する。排他的論理和(XOR)回路1607は、2つの3状態インバータ1606の入力端子の信号の排他的論理和を演算して出力する。XOR回路1607は、2入力信号が同じときにはローレベルを出力し、異なるときにはハイレベルを出力する。エンコーダ1608は、XOR回路1607の出力信号を基にエンコードし、距離デジタル値を出力する。

【0050】

この遅延-デジタル変換回路は、図12のデジタル-遅延変換回路と逆の動作原理である。まず、リセット信号をハイレベルにすることにより、遅延チェーンの3状態インバータ1606の各出力端子がハイレベルにリセットされる。次に、開始信号がハイレベルになった後、終了信号がハイレベルになるまでの遅延時間分だけインバータ1606及び1609のチェーンを伝播し、終了信号がハイレベルになると、伝播が止まる。その後、3状態インバータ1606の出力端子がローレベルになるものとハイレベルになるものの境目をXOR回路1607で検出する。エンコーダ1608は、その位置をデジタル値に変換し、距離デジタル値として出力する。距離デジタル値は、入力パターンとテンプレートパターンとの間の非類似度に相当する。

【0051】

上記のように、DPマッチングは、図2(A)のように、入力パターンINPとテンプレートTEMとの類似度を求めることができる。その場合、関連器は、入力パターン X_i とテンプレートパターン Y_i との差分の絶対値 $|X_i - Y_i|$ を非類似度として演算し、遅延時間を多段階で制御すればよい。例えば、両者が類似しているほど、パルス幅を大きくし、可変遅延回路を制御する。DPマッチングは、文字列及び音声データその他、画像データ等の種々のマッチングを行うことができる。

【0052】

また、最短パス検索回路網内での関連値演算の際にデジタルの論理演算により演算してもよいし、図14の可変遅延回路の代わりに図12のデジタル-遅延変換回路等を用いることも可能である。

【0053】

また、回路網内に演算回路を入れずに相関値のみをメモリに記憶させ、そのメモリ内の相関値に応じて可変遅延回路を制御してもよい。その際、可変遅延回路の代わりにデジタル遅延変換回路等を用いることも可能である。

【0054】

また、上記では、類似度が大きい場合又は一致している場合には遅延時間を短くするようにしたが、逆に遅延時間を長くするようにしてもよい。その場合は、最短パスではなく、最長パスを検索すればよい。スタートノードに入力信号を入力した後、ゴールノードに一番最後に到達した時間を計測する。その時間が最も類似している比較組み合わせの類似度に相当する。各ノードは、一番最後に到達した信号のパスを記憶するようにすればよい。

【0055】

以上のように、本実施形態によれば、少なくとも1つの入力ノード（スタートノード）と1つの出力ノード（ゴールノード）とを含む3つ以上のノードと、その3つ以上のノード間に接続され、各ノード間の信号伝播方向が規定されている複数のパスと、各パスの信号伝播時間を規定するための信号伝播時間規定手段とを有する。入力ノードに所定の入力信号を入力し、入力信号がパスを伝播して、出力ノードに到達するのに要する時間を検出する。その時間に応じて、2つのマッチング対象信号の一致度又は類似度を検出することができる。

【0056】

ノードは、自己に接続されるパスを介して入力される信号が複数あるときには、自己に接続されるパスを介して入力される信号のうちで一番最初又は一番最後に到達する信号のパスを特定して記憶する。そのパスを特定することにより、上記の一致度又は類似度に対応する最短パス又は最長パスを検出することができる。

【0057】

なお、上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、またはその主要な特徴

から逸脱することなく、様々な形で実施することができる。

【0058】

【発明の効果】

以上説明したように、本発明によれば、各パスの信号伝播時間を規定し、入力信号がパスを伝播して出力ノードに到達する時間を検出することができる。2つのマッチング対象信号の一致度又は類似度に応じて各パスの信号伝播時間を規定すれば、出力ノード到達時間に応じて両者の一致度又は類似度を検出することができる。また、この際、信号の最短パス又は最長パスを検出すれば、その一致度又は類似度に対応する最短パス又は最長パスの比較組み合わせを検出することができる。

【図面の簡単な説明】

【図1】

本発明の実施形態によるDPマッチングを行うための最短パス検出方法を示す図である。

【図2】

図2(A)は通常ベクトルマッチングアルゴリズムを示す図であり、図2(B)はDPマッチングアルゴリズムを示す図である。

【図3】

具体的な最短パス検出方法を示す図である。

【図4】

格子半導体回路構成を示す図である。

【図5】

ノード回路の構成例を示す図である。

【図6】

図6(A)は可変遅延回路の構成例を示す図であり、図6(B)はインバータの構成例を示す図であり、図6(C)は可変遅延回路の他の構成例を示す図である。

【図7】

格子回路のより具体的な構成例を示す図である。

【図 8】

本発明の他の実施形態による D P マッチングを行うための最短パス検出半導体回路を示す図である。

【図 9】

格子回路網の具体的回路例を示す図である。

【図 1 0】

デジタルーパルス変換回路の構成例を示す図である。

【図 1 1】

図 1 0 の回路動作を示すタイミングチャートである。

【図 1 2】

デジタルー遅延変換回路の構成例を示す図である。

【図 1 3】

遅延回路の構成例を示す図である。

【図 1 4】

可変遅延回路の構成例を示す図である。

【図 1 5】

図 1 4 の回路動作を示すタイミングチャートである。

【図 1 6】

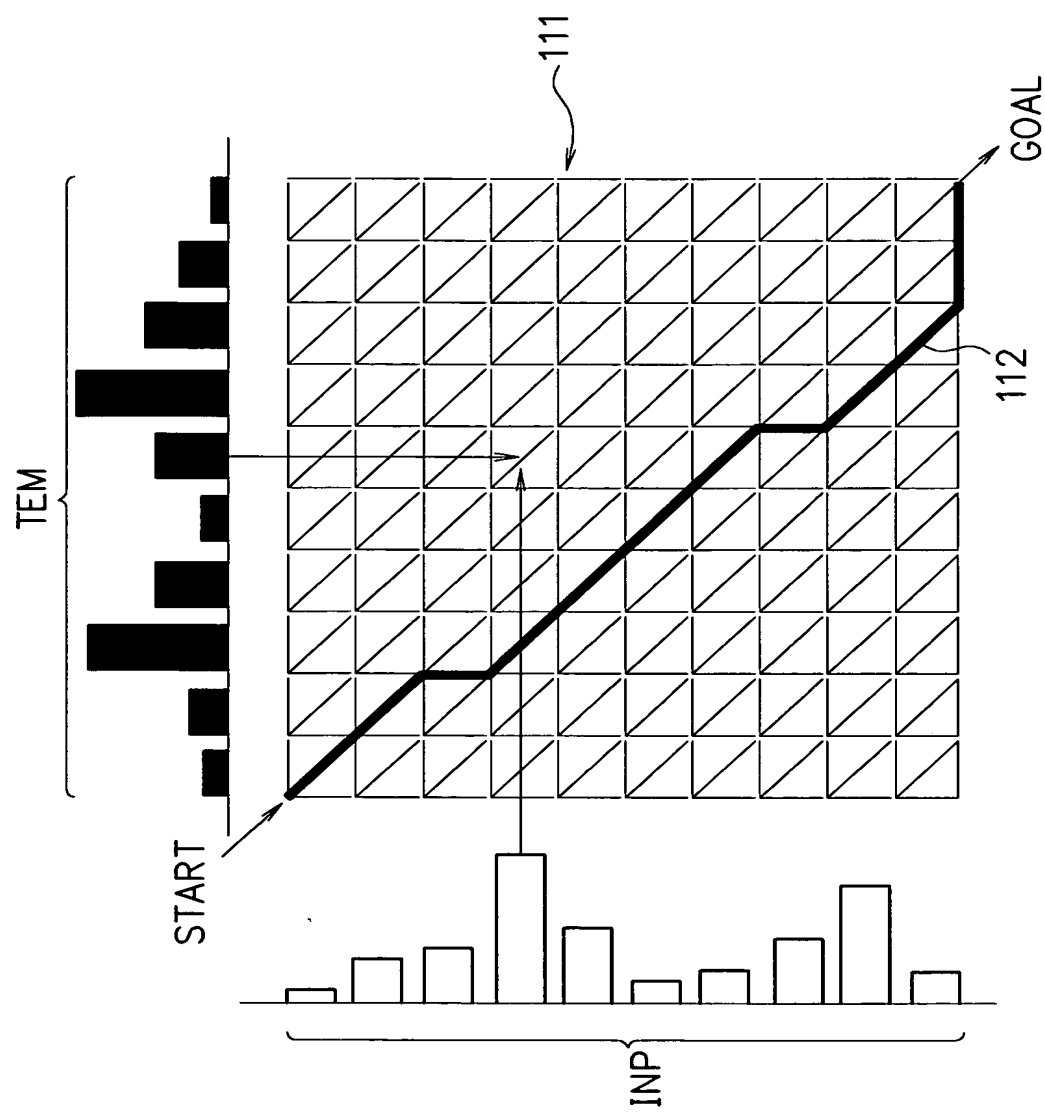
遅延ーデジタル変換器の構成例を示す図である。

【符号の説明】

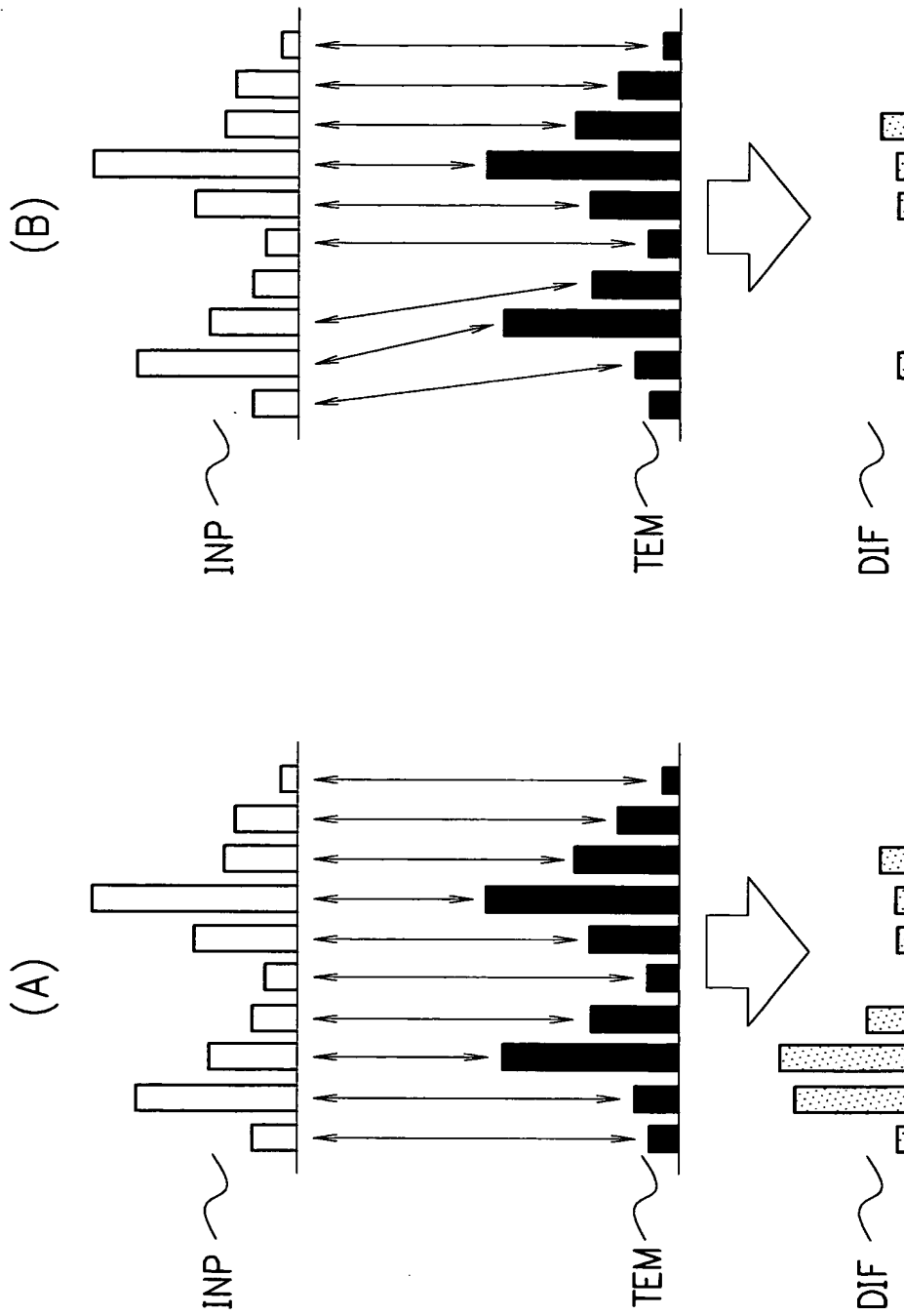
I N P, 3 0 1 入力パターン
T E M, 3 0 2 テンプレートパターン
1 1 1, 3 1 1 2次元格子パス群
1 1 2, 3 1 2 最短パス
4 0 1 ノード回路
4 0 2 遅延回路
4 0 3 可変遅延回路
5 1 0 最短パス記憶回路
7 0 1 比較選択回路

- 7 0 2 遅延回路
- 7 0 3 遅延回路
- 7 0 4 セレクタ
- 8 0 1 最短パス検索開始信号入力回路
- 8 0 2, 8 0 3 デジタルーパルス変換器
- 8 0 4 回路網
- 8 0 5 遅延ーデジタル変換器

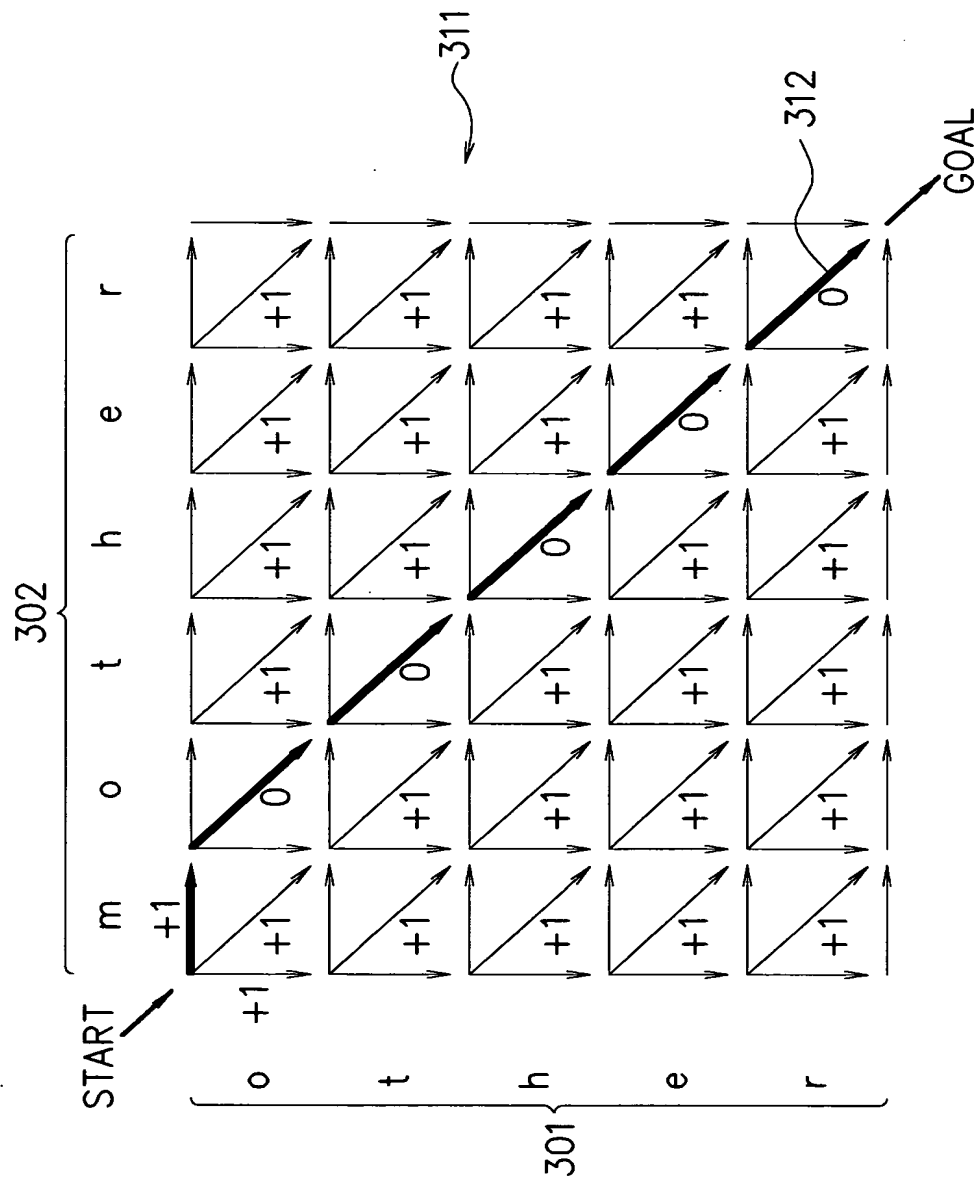
【書類名】 図面
【図 1】



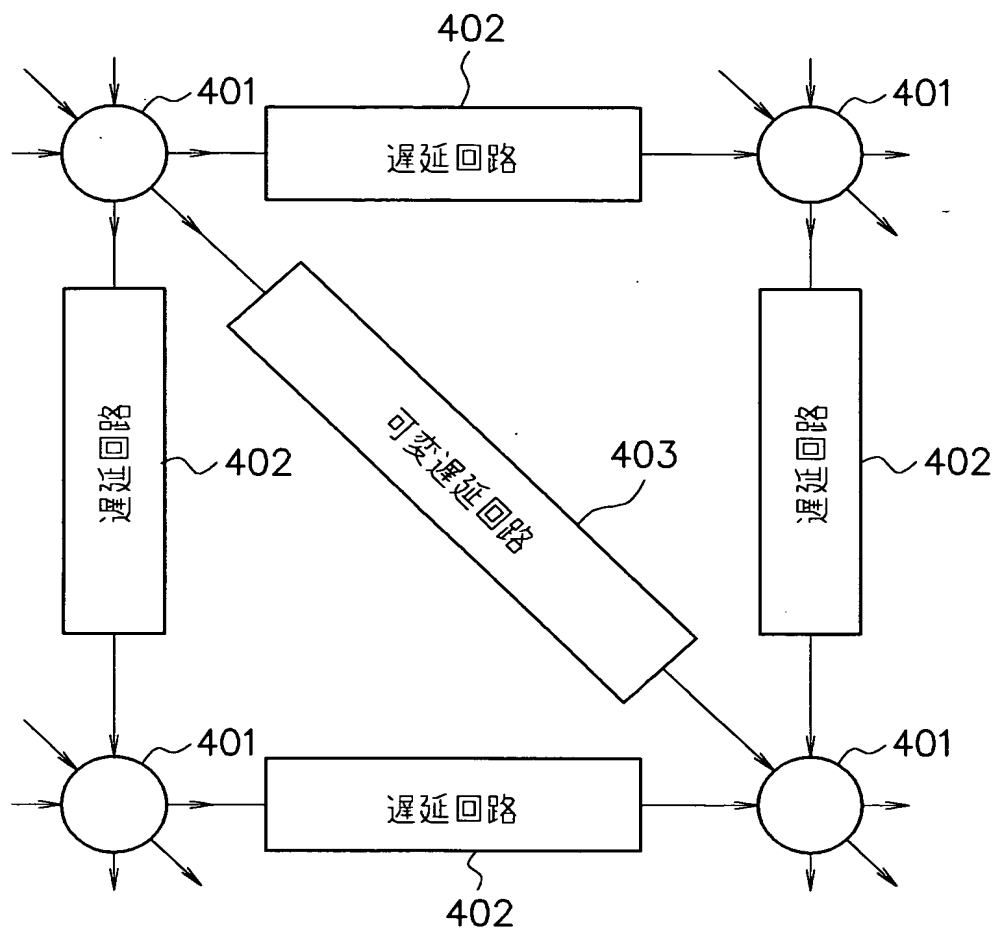
【図 2】



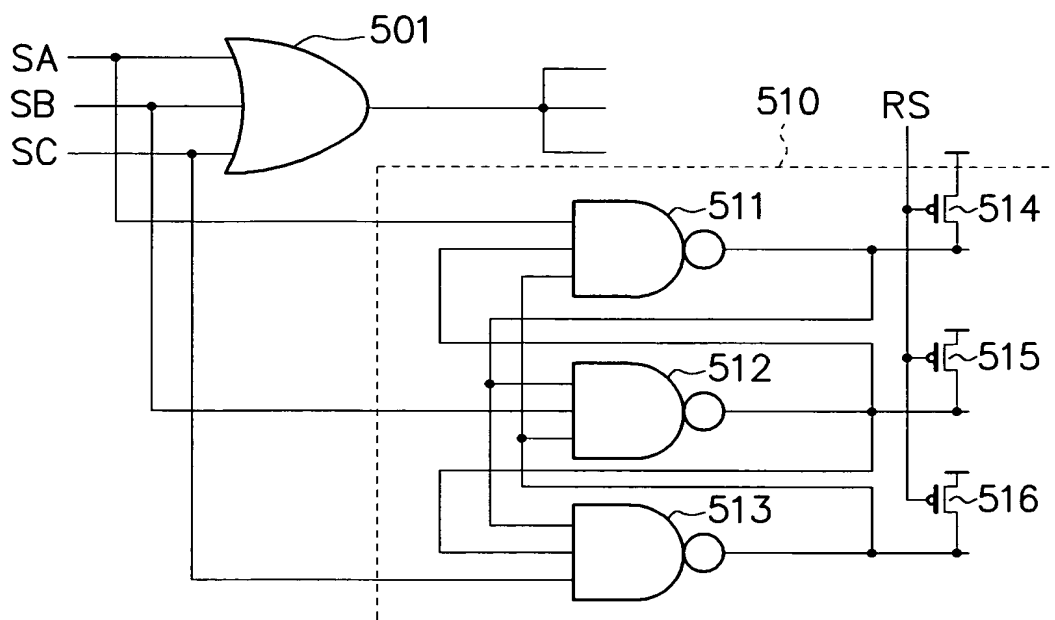
【図 3】



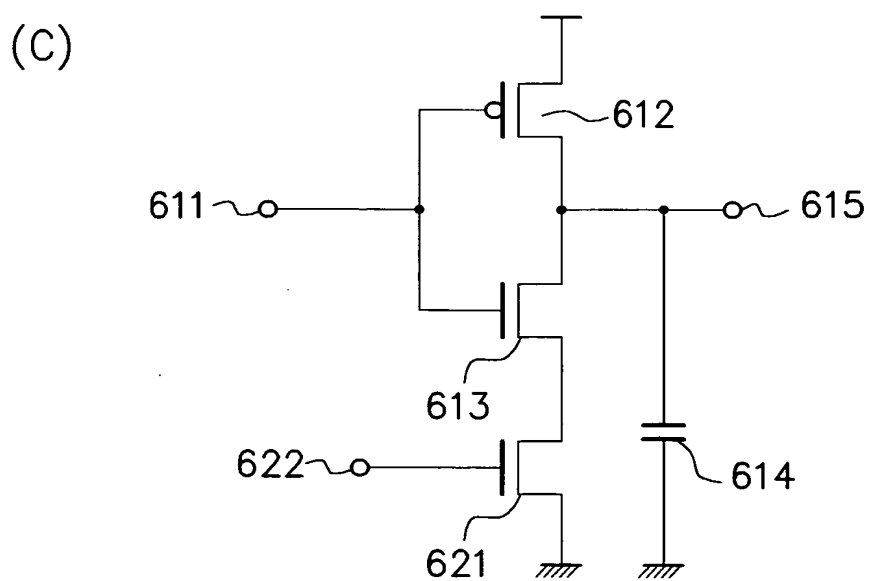
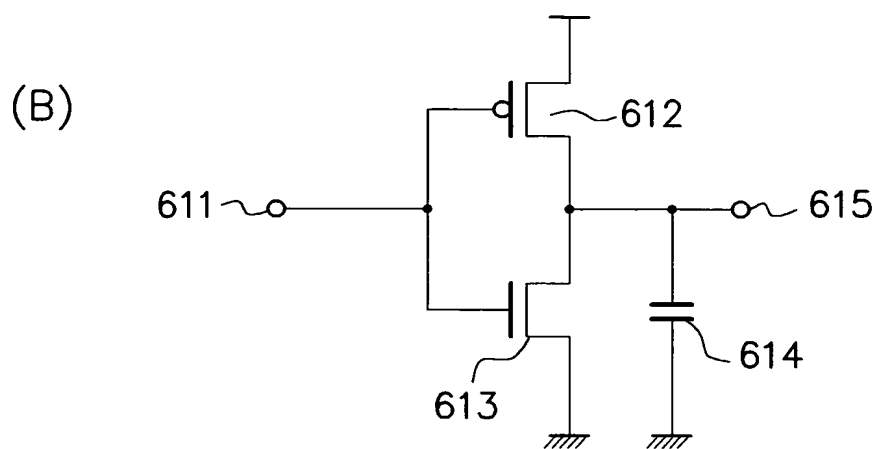
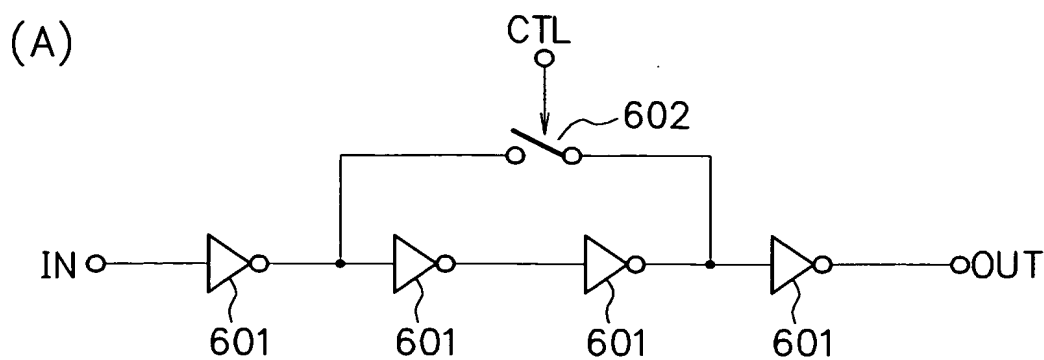
【図 4】



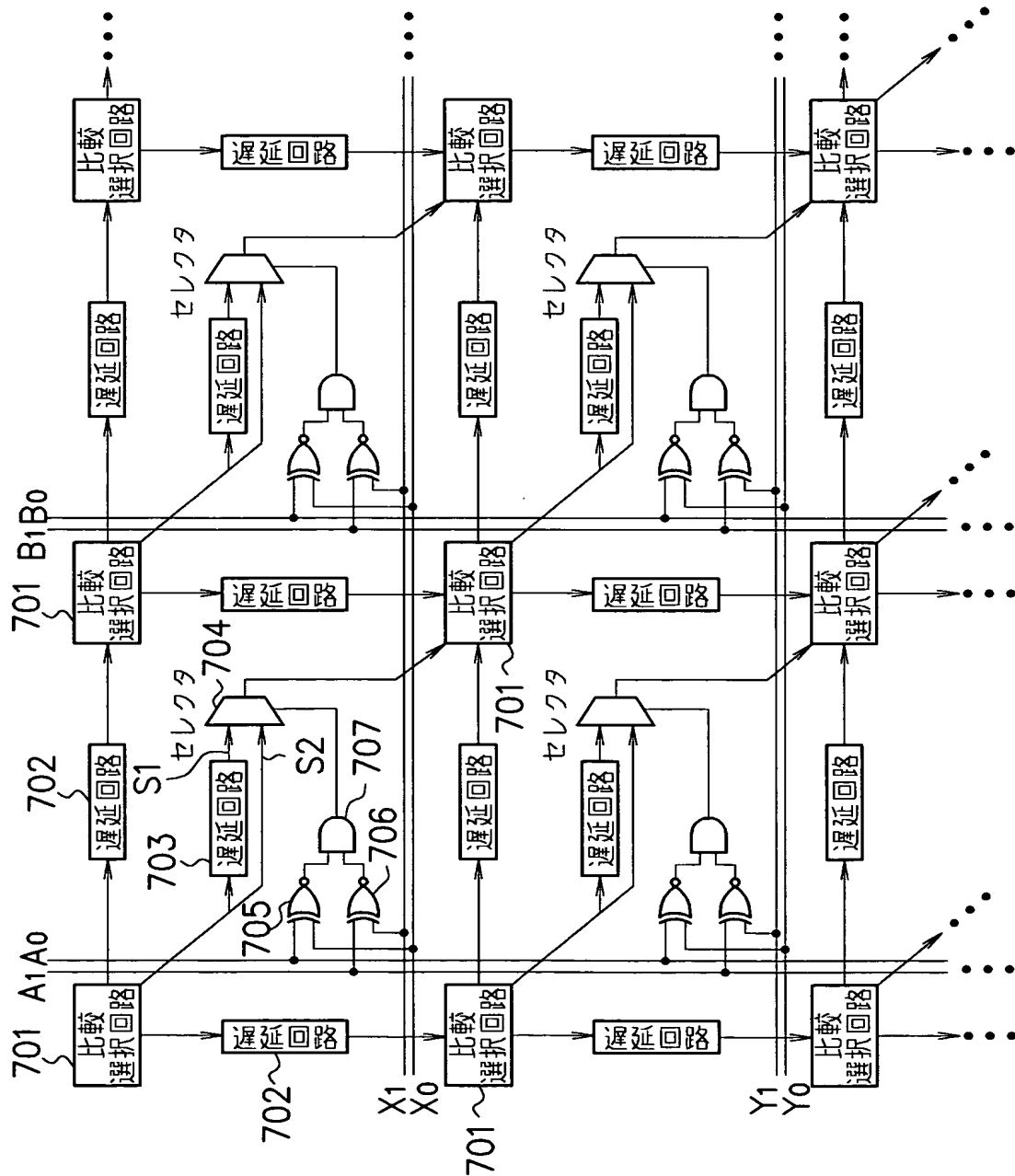
【図 5】



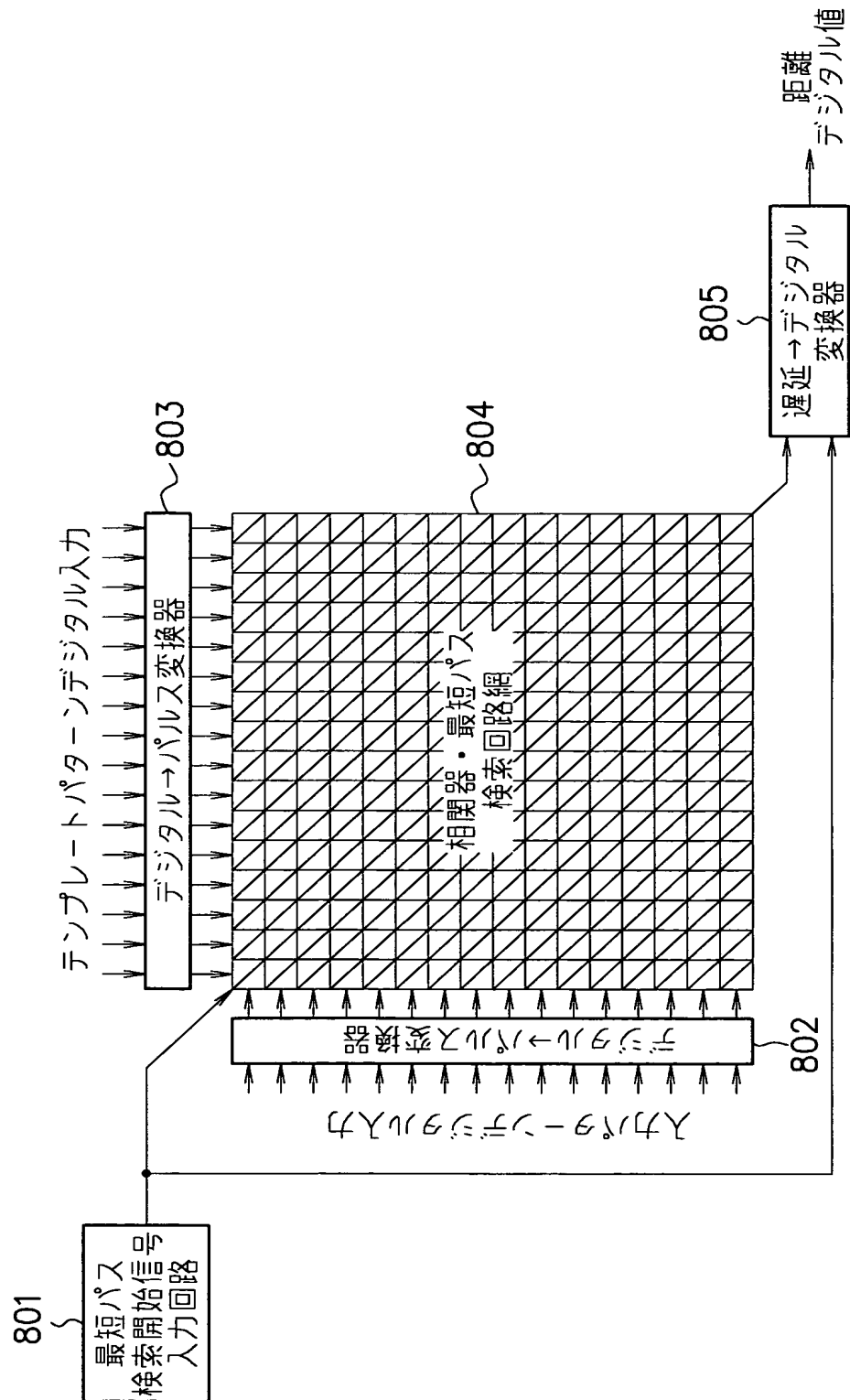
【図 6】



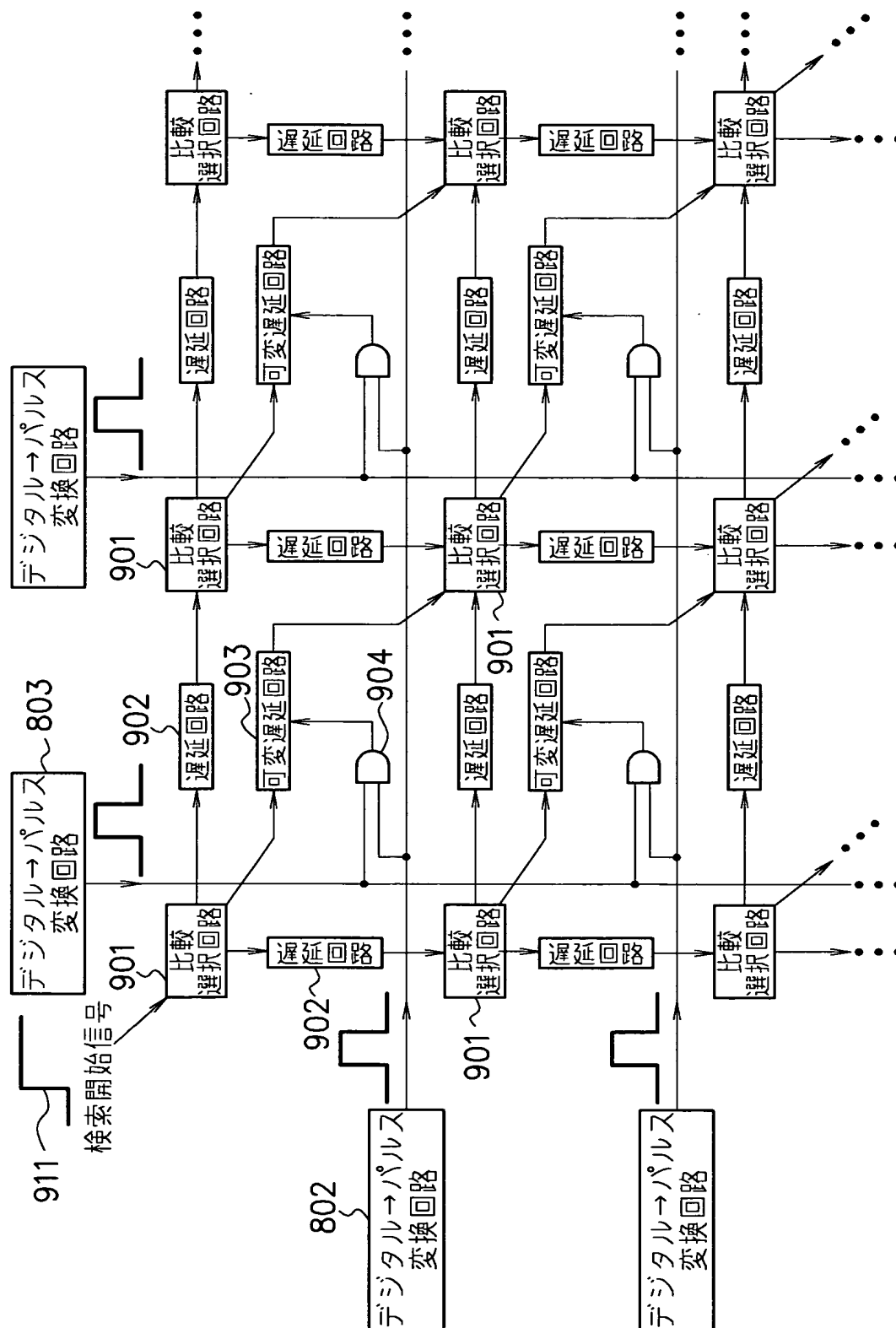
【図 7】



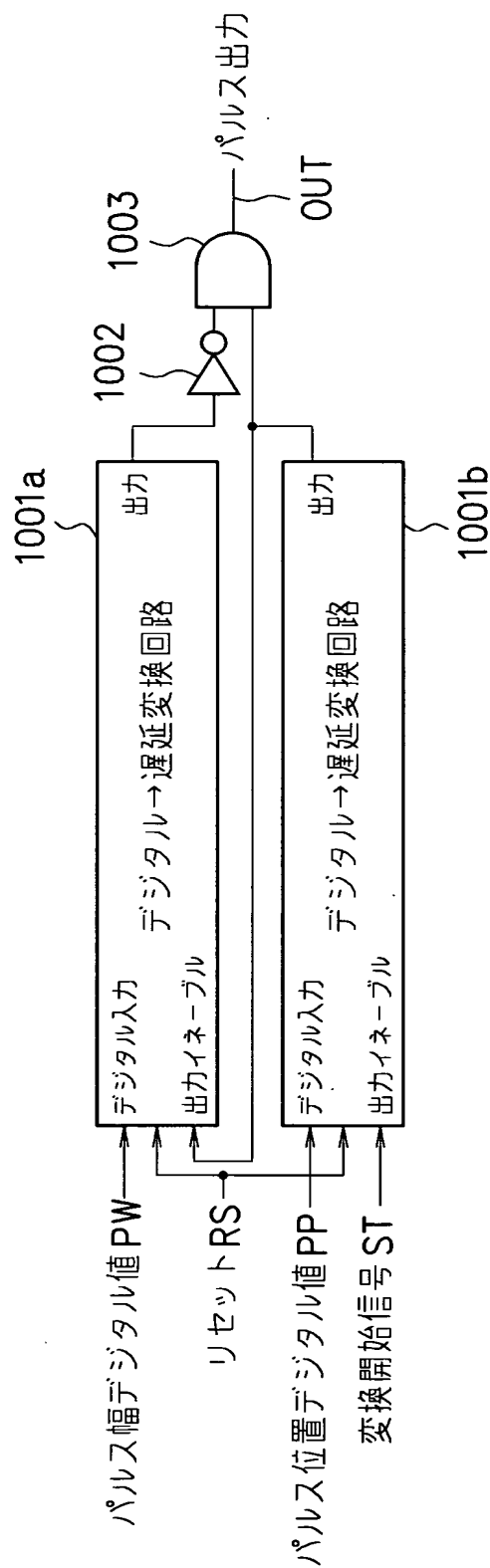
【図 8】



【圖 9】

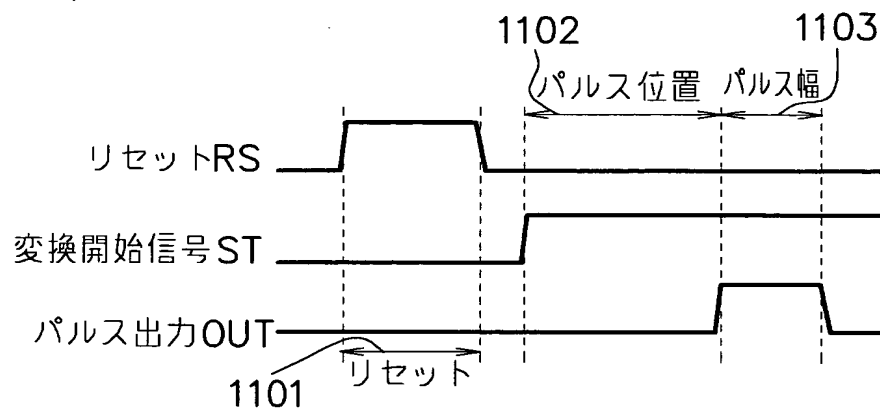


【図 10】



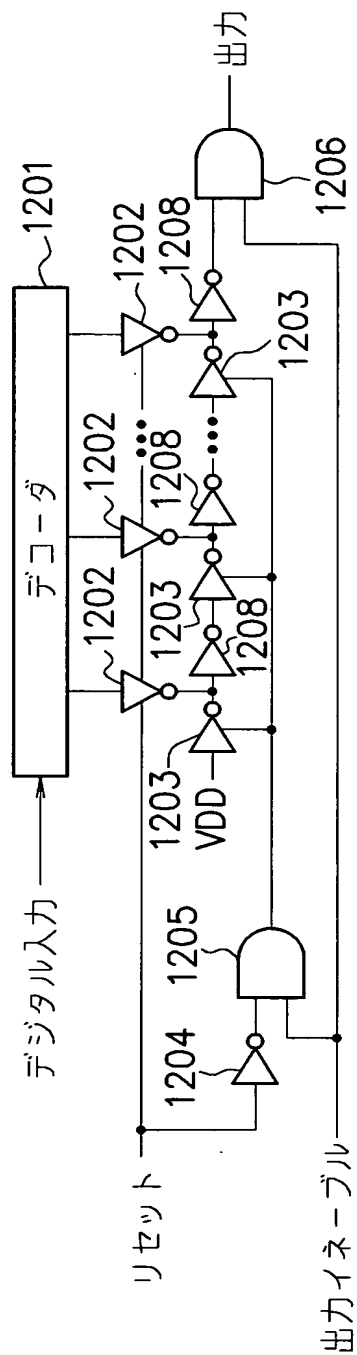
デジタル→パルス変換回路

【図 11】



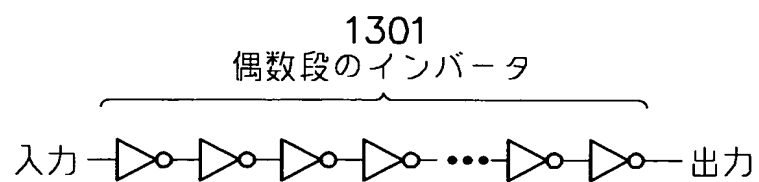
パルス変換タイミングチャート

【図 12】



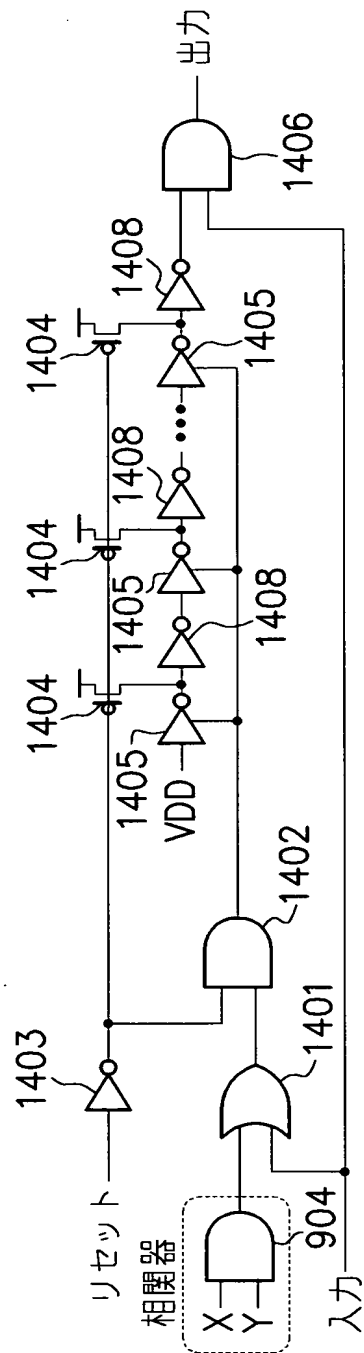
デジタル→遅延変換回路

【図 1 3】



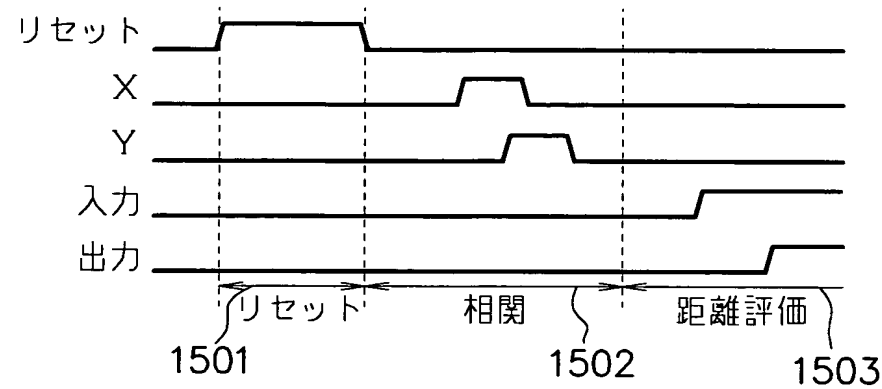
遅延回路

【図 14】



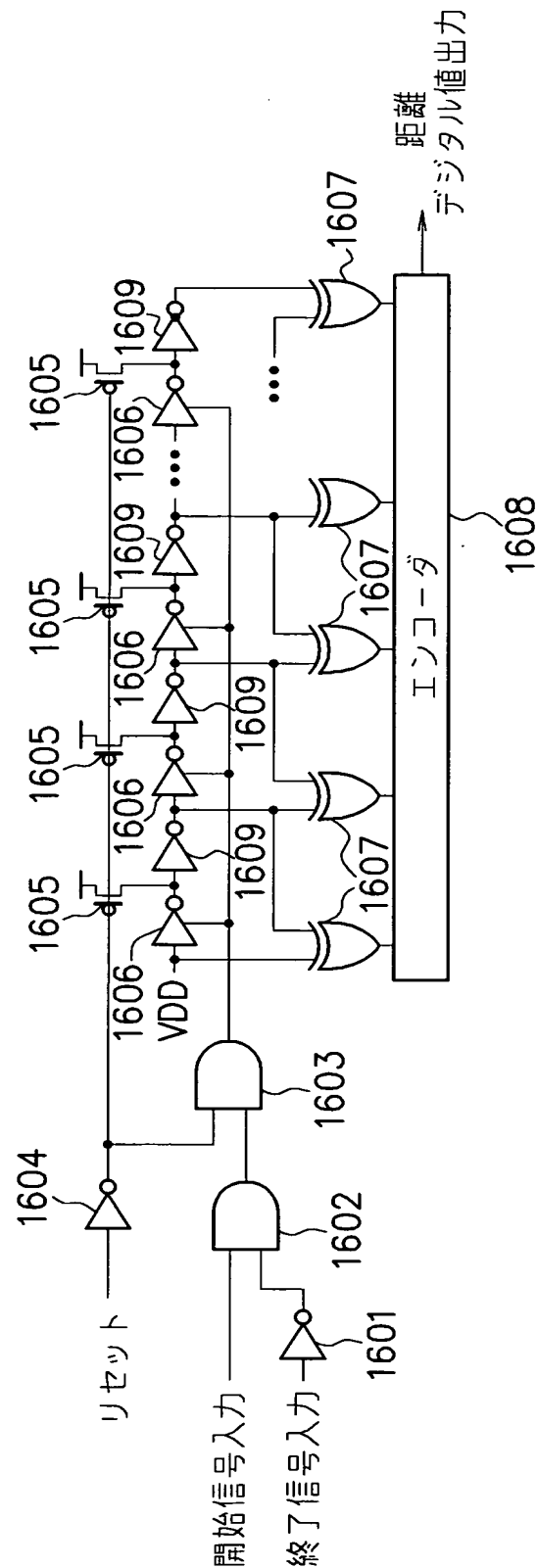
可變遲延回路

【図 1 5】



可変遅延回路入力信号

【図 16】



遅延→デジタル変換回路

【書類名】 要約書

【要約】

【課題】 高速に D P マッチングを行うことができる半導体回路を提供することを課題とする。

【解決手段】 少なくとも 1 つの入力ノードと 1 つの出力ノードとを含む 3 つ以上のノードと、3 つ以上のノード間に接続され、各ノード間の信号伝播方向が規定されている複数のパスと、各パスの信号伝播時間を規定するための信号伝播時間規定手段と、入力ノードに所定の入力信号を入力する入力手段（8 0 1）と、入力信号がパスを伝播して、出力ノードに到達するのに要する時間を検出する検出手段（8 0 5）とを有する半導体回路が提供される。

【選択図】 図 8



特願 2 0 0 3 - 0 3 9 7 4 0

出 願 人 履 歴 情 報

識別番号

[5 9 1 0 2 2 1 1 7]

1. 変更年月日

1 9 9 7 年 1 1 月 1 7 日

[変更理由]

住所変更

住 所

東京都江東区越中島 1 - 3 - 1 6 - 4 1 1

氏 名

柴田 直

特願 2 0 0 3 - 0 3 9 7 4 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 1 6 0 2 4]

1 . 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

京都府京都市右京区西院溝崎町 2 1 番地

氏 名

ローム株式会社



特願 2 0 0 3 - 0 3 9 7 4 0

出 願 人 履 歴 情 報

識別番号

[5 0 3 0 5 3 8 8 2]

1. 変更年月日

2 0 0 3 年 2 月 7 日

[変更理由]

新規登録

住 所

東京都文京区根津 2 - 1 1 - 1 1 - 3 0 1

氏 名

小川 誠